

5. Ultra-Large Scale Integration (ULSI)

5.1. Skalierungsregeln

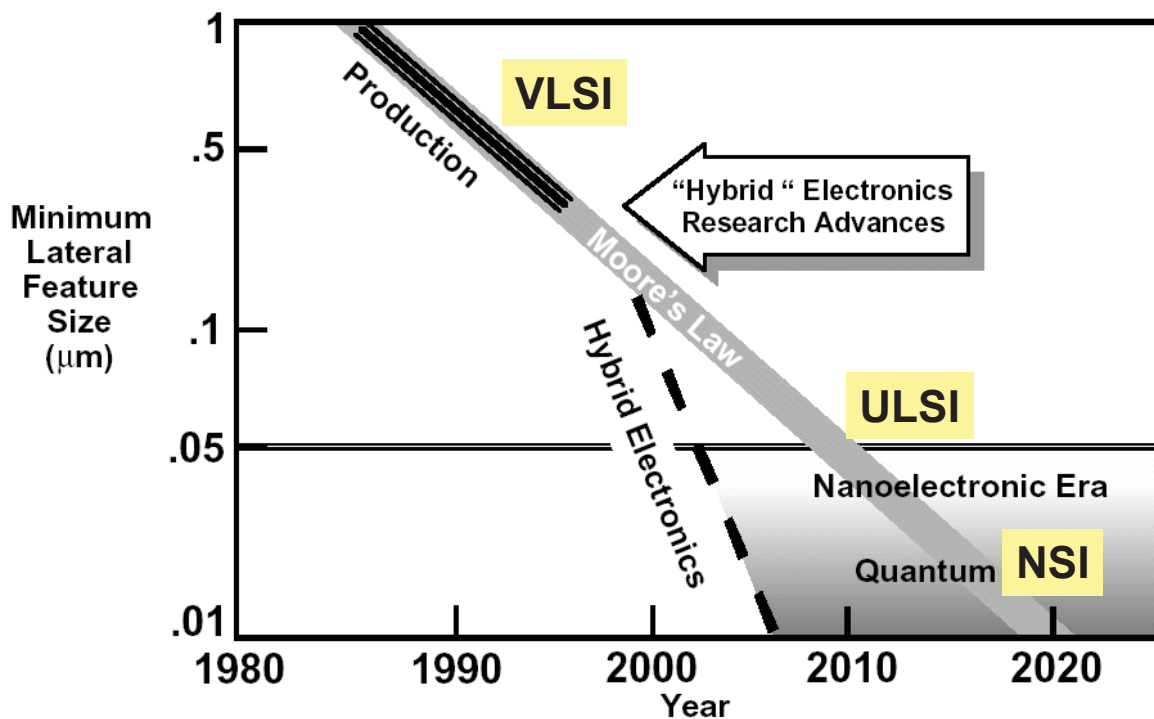
5.2. Kurzkanaleffekte

5.3. ULSI-Ausblick

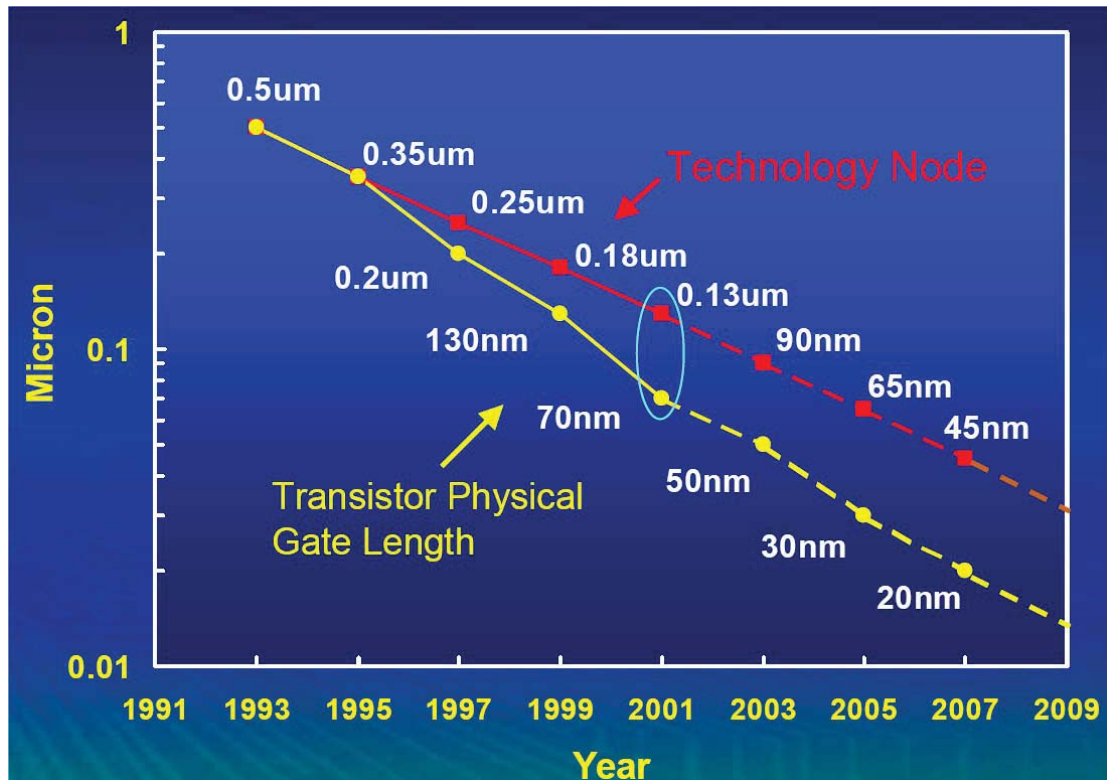
Characteristic	1999	2001	2004	2008
Process Technology [nm]	180	130	90	60
Logic Transistors [mil]	23.8	47.6	135	539
Across-chip Clock Speed [MHz]	1200	1600	2000	2655
Die area [sq. mm]	340	340	390	468
Wiring Levels	6	7	8	9



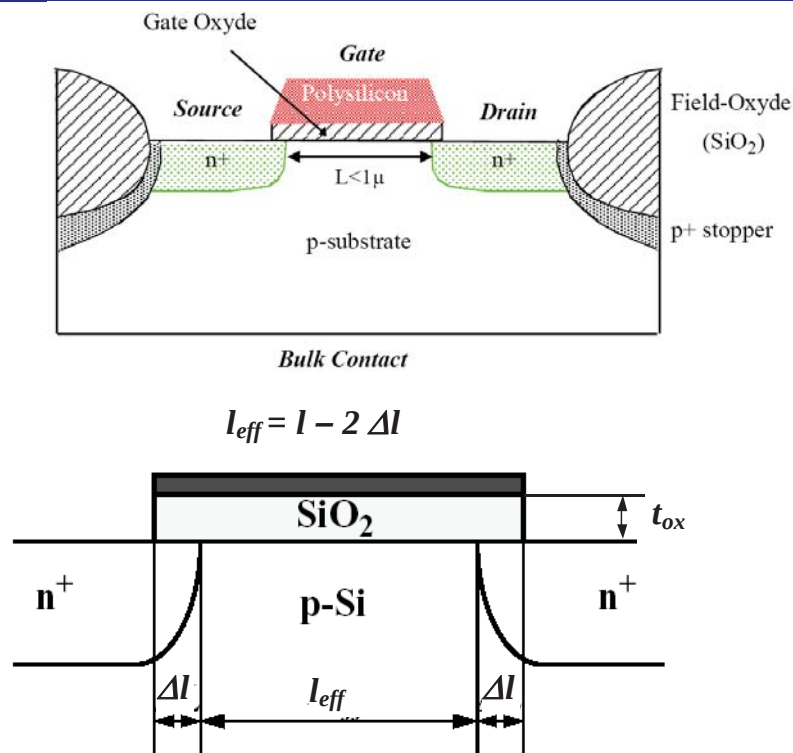
5. Ultra-Large Scale Integration (ULSI)



5.1. Skalierungsregeln: Effektive Kanallänge (I)

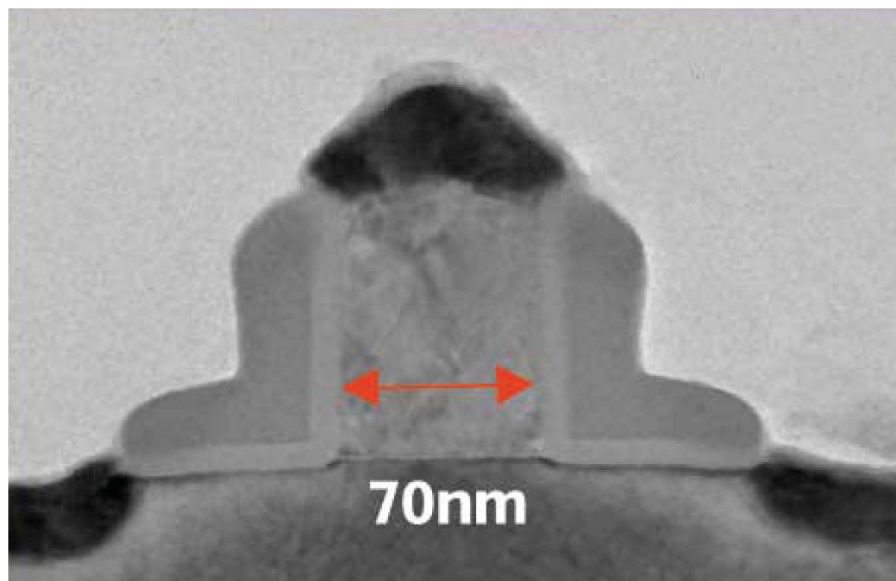


5.1. Skalierungsregeln: Effektive Kanallänge (II)



5.1. Skalierungsregeln: Effektive Kanallänge (III)

0,13 μm -Prozeß:

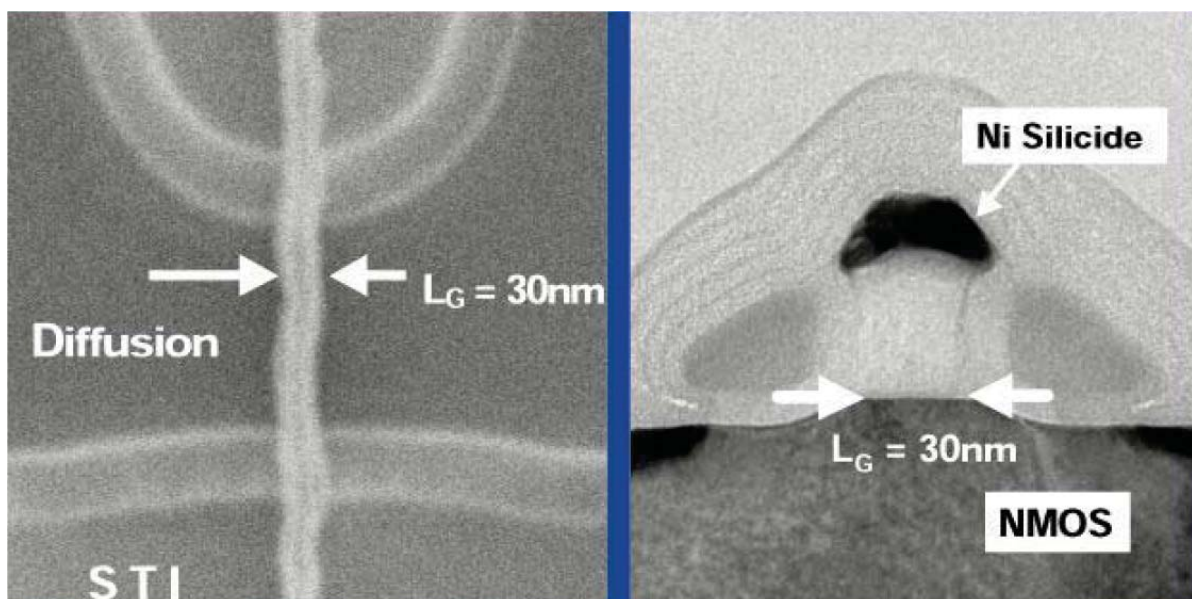


reale Kanallänge: 70 nm



5.1. Skalierungsregeln: Effektive Kanallänge (IV)

65 nm-Prozeß:



reale Kanallänge: 30 nm



5.1. Skalierungsregeln

Ziele der Skalierung

- Reduzierung der Anstiegs und Abfallzeiten
- Erhöhung der Taktfrequenz
- Erhöhung der Bauteildichte
- Reduzierung der Verlustleistung

Verkleinerung aller Lineardimensionen mit dem Skalierungsfaktor S

→ Forderung: $E = \text{const.}$

Elektrische Feldstärke im Kanal:

$$E' = \frac{U'}{\ell'} = \frac{U \cdot S}{\ell \cdot S} = \frac{U}{\ell} = E$$

Verringerung der Spannungen mit dem Skalierungsfaktor S



5.1. Skalierungsregeln

Schwellspannung:

$$U'_{th} = U_{th} \cdot S$$

Drainstrom:

$$I_D = \mu_{eff} C'_{ox} \frac{w}{l} \cdot \left[(U_{GS} - U_{th}) \cdot U_{DS} - \frac{(U_{DS})^2}{2} \right] \quad (\text{linearer Bereich})$$

$$I'_D = \mu_{eff} \frac{C'_{ox}}{S} \frac{w \cdot S}{l \cdot S} \cdot \left[(U_{GS} - U_{th}) \cdot U_{DS} \cdot S^2 - \frac{(U_{DS} \cdot S)^2}{2} \right] = I_D \cdot S$$

$$I_D = \frac{1}{2} \mu_{eff} C'_{ox} \frac{w}{l} \cdot (U_{GS} - U_{th})^2 \quad (\text{Sättigungsbereich})$$

$$I'_D = \frac{1}{2} \mu_{eff} \frac{C'_{ox}}{S} \frac{w \cdot S}{l \cdot S} \cdot (U_{GS} - U_{th})^2 \cdot S^2 = I_D \cdot S$$



5.1. Skalierungsregeln

Kanalwiderstand :
$$R' = \frac{U'_{DS}}{I'_D} = \frac{U_{DS} \cdot S}{I_D \cdot S} = \frac{U_{DS}}{I_D} = R$$

Kapazitäten:
$$C' = \epsilon_0 \epsilon_{ox} \frac{A'}{t'_{ox}} = \epsilon_0 \epsilon_{ox} \frac{A \cdot S^2}{t'_{ox} \cdot S} = C \cdot S$$

Zeitkonstante/Umschaltzeit:
$$\tau' = R' \cdot C' = R \cdot C \cdot S = \tau \cdot S$$

Verlustleistung:
$$P' = U'_{DS} \cdot I'_D = U_{DS} \cdot S \cdot I_D \cdot S = P \cdot S^2$$

Verlustleistung pro Fläche:
$$\frac{P'}{A'} = \frac{P \cdot S^2}{A \cdot S^2} = \frac{P}{A}$$

Umschaltenergie (Leistung · Umschaltzeit):
$$P' \cdot \tau' = P \cdot S^2 \cdot \tau \cdot S = P \cdot \tau \cdot S^3$$



5.2. Kurzkanaleffekte: 2D-Potentialverteilung (I)

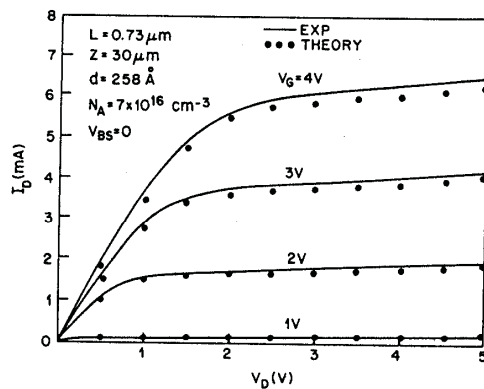


Fig. 40 Drain characteristics of a MOSFET with 0.73-μm channel length. (After Fichtner, Ref. 45.)

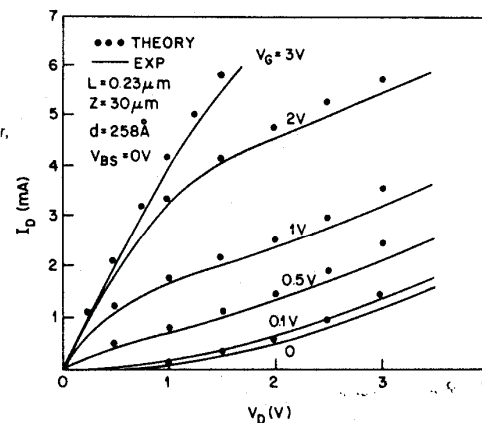
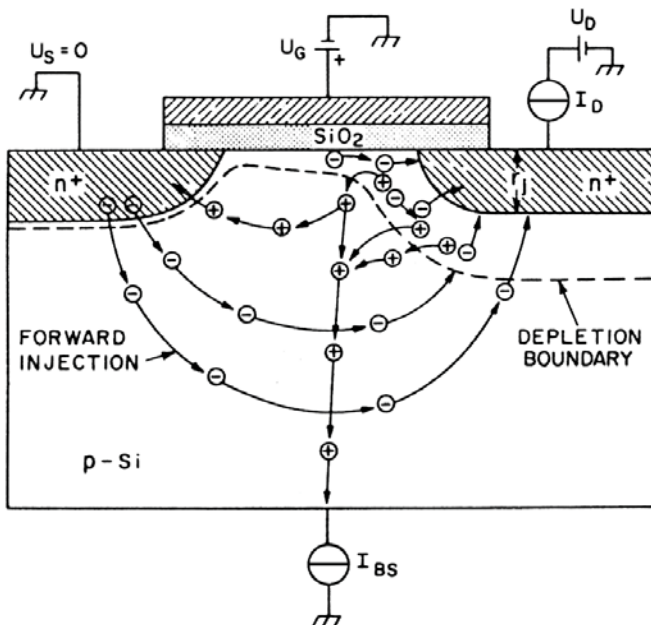


Fig. 41 Drain characteristics of a MOSFET having the same device parameters except that $L = 0.23 \mu\text{m}$. (After Fichtner, Ref. 45.)



5.2. Kurzkanaleffekte: 2D-Potentialverteilung (II)

- Skalierung:**
- Langkanal-MOSFETs $\Rightarrow$ 1-D Potential im Kanal
 - Kurzkanal- MOSFET $\Rightarrow$ 2-D Potential im Kanal

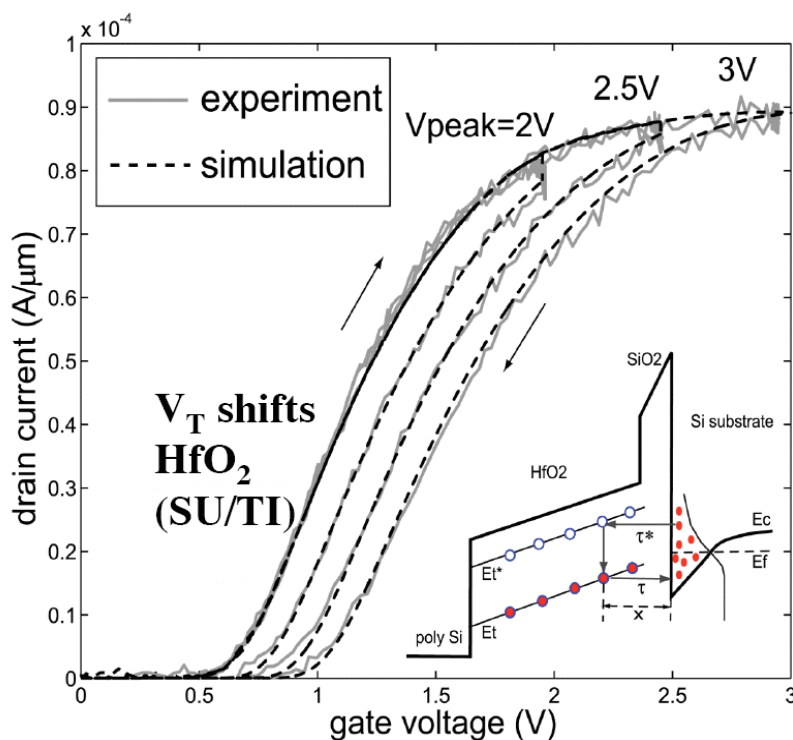


Lösung:

- LDD (Lightly doped Drain)
- SOI (Silicon-on-Insulator)
- hoch-k Oxide



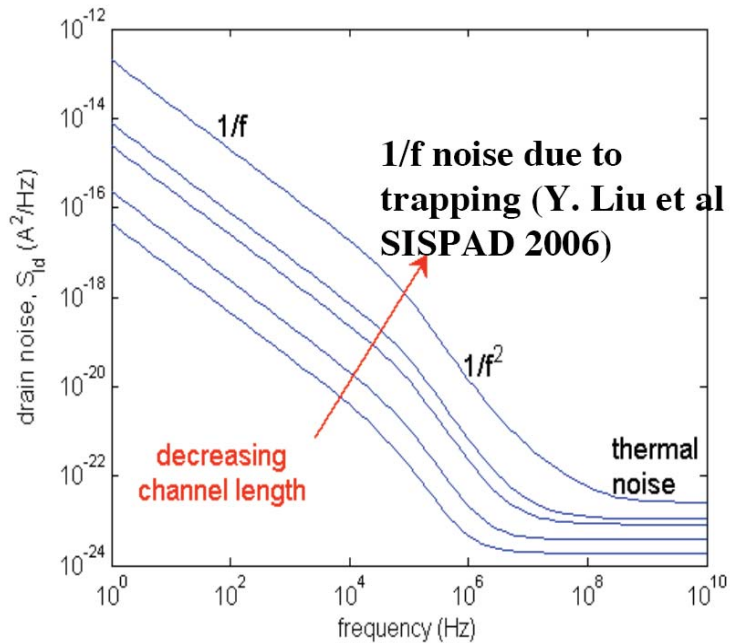
5.2. Kurzkanaleffekte: high-k Gateoxid



Verringerung von U_{th}



5.2. Kurzkanaleffekte: Rauschen

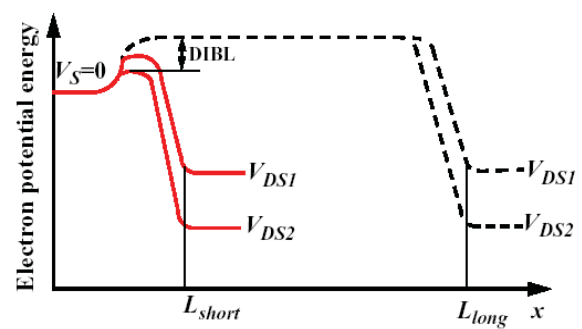
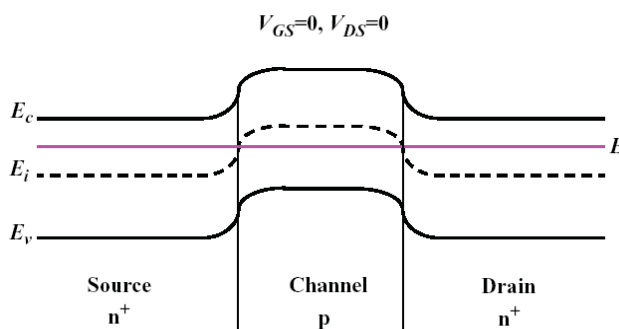


Erhöhung des Rauschens



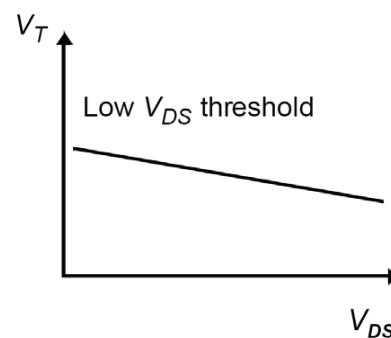
5.2. Kurzkanaleffekte: DIBL

DIBL – Drain-Induced Barrier Lowering



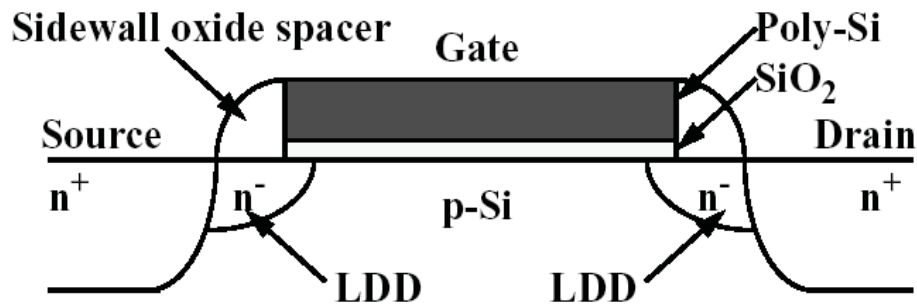
Lösung:

- LDD (Light doped Drain)
- Dünnes Gateoxid
- Erhöhung der Kanaldotierung

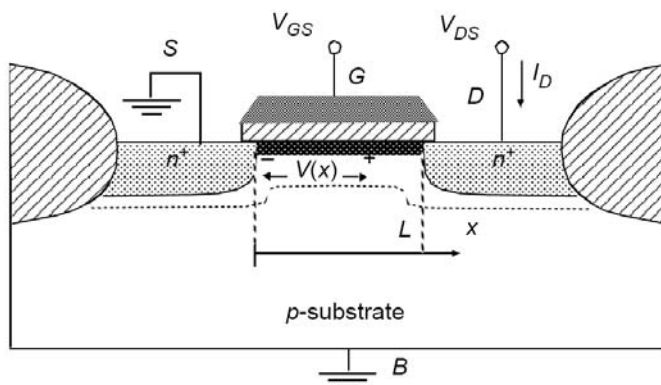


5.2. Kurzkanaleffekte: LDD

LDD - Lightly doped Drain



5.2. Kurzkanaleffekte: Sättigung der Geschwindigkeit $v_{n,p}$



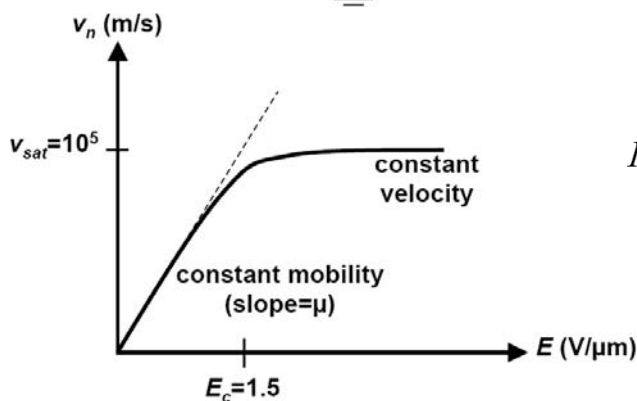
$$Q_i(x) = -C_{OX}[V_{GS} - V(x) - V_T]$$

$$I_D = -v_n(x)Q_i(x)W$$

$$v_n = -\mu_n E(x) = \mu_n \frac{dV}{dx}$$

$$v = \frac{\mu_n E}{1 + E/E_C} \quad \text{for } E \leq E_C$$

$$v = v_{sat} \quad \text{for } E \geq E_C$$



$$I_D = \kappa(V_{DS}) \mu_n C_{OX} \frac{W}{L} \left[(V_{GS} - V_T) V_{DS} - \frac{V_{DS}^2}{2} \right]$$

$$\kappa(V_{DS}) = \frac{1}{1 + (V_{DS}/E_C L)}$$

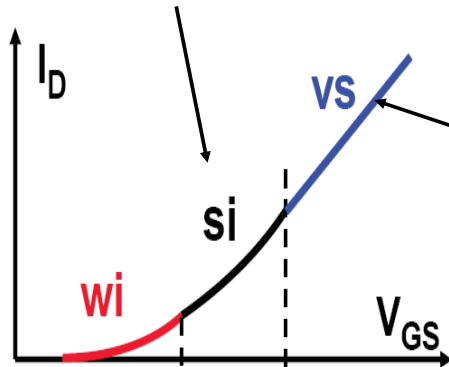


5.2. Kurzkanaleffekte: Sättigung der Geschwindigkeit $v_{n,p}$

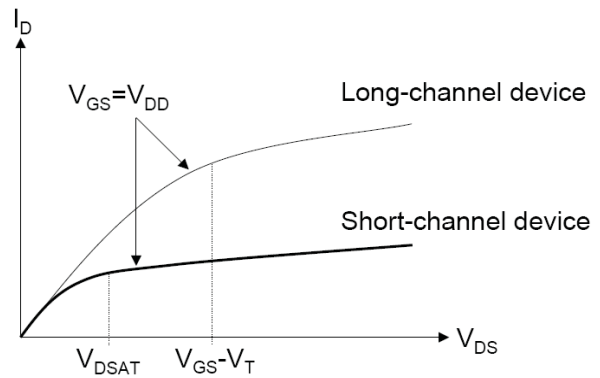
Einfache Näherung:

$$I_D = v_{satn} \cdot C'_{ox} \cdot w \cdot (U_{GS} - U_{th})$$

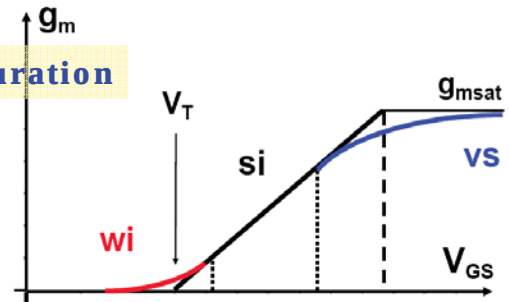
Strong Inversion



Velocity Saturation



Weak Inversion



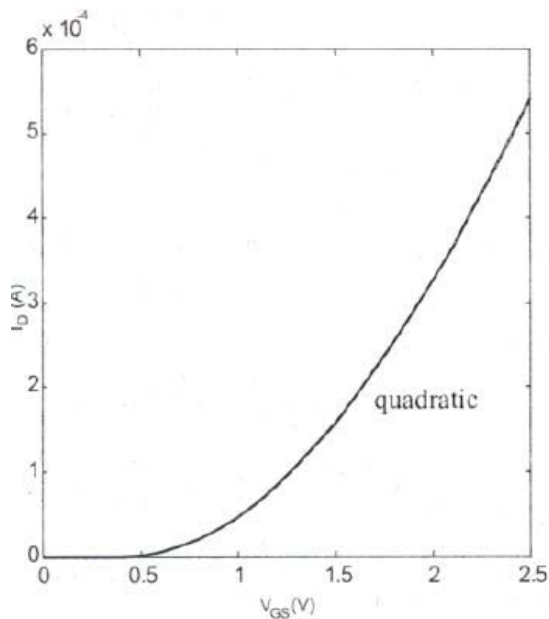
Universität Karlsruhe (TH)

Institut für Mikro- und Nanoelektronische Systeme

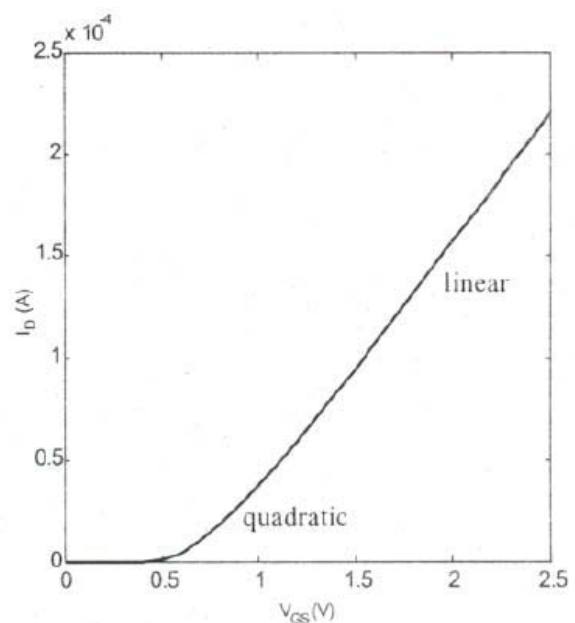


17

5.2. Kurzkanaleffekte: Kennlinien



(a) Long-channel device ($L_d = 10 \mu\text{m}$)



(b) Short-channel device ($L_d = 0.25 \mu\text{m}$)



Universität Karlsruhe (TH)

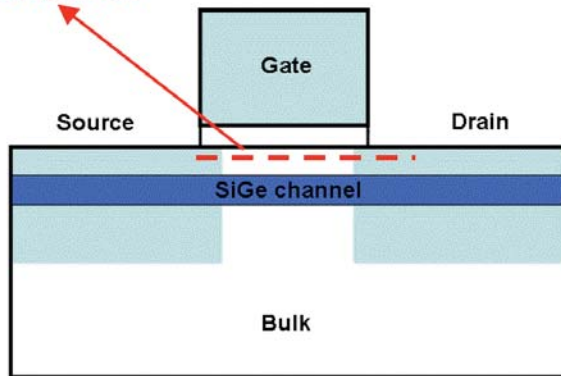
Institut für Mikro- und Nanoelektronische Systeme



18

5.2. Kurzkanaleffekte: SiGe-Kanal

Parasitic surface channel

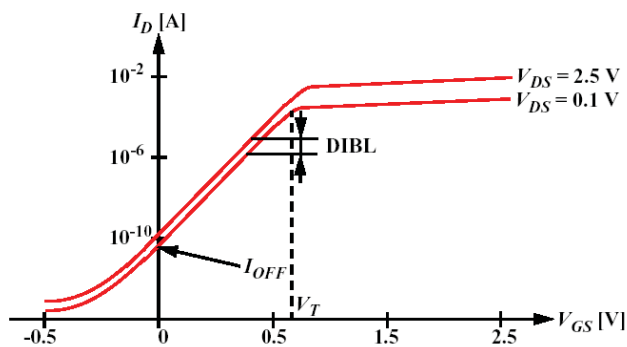


SiGe-Kanal

- hohe Beweglichkeit
- hohe v_{sat}
- hohe Steilheit
- geringeres Rauschen



5.2. Kurzkanaleffekte: sub-Schwellspannungsverhalten



$$S = \frac{dU_{GS}}{d(\log I_D)}$$

$$I_D = \frac{\mu_{\text{eff}} \cdot C_{\text{ox}}}{2(1 + \theta U_{\text{eff}})} \cdot \frac{w}{L} \cdot U_{\text{eff}}^2 \quad \text{mit } U_{\text{eff}} = U_{GS} - U_{th}$$

für $0,8 \mu\text{m}$ – Technologie: $\theta = 0,6 \text{ V}^{-1}$



5.2. Kurzkanaleffekte: Gatterlaufzeit

Reduktion von U_{th}



Erhöhung der Gatterlaufzeit

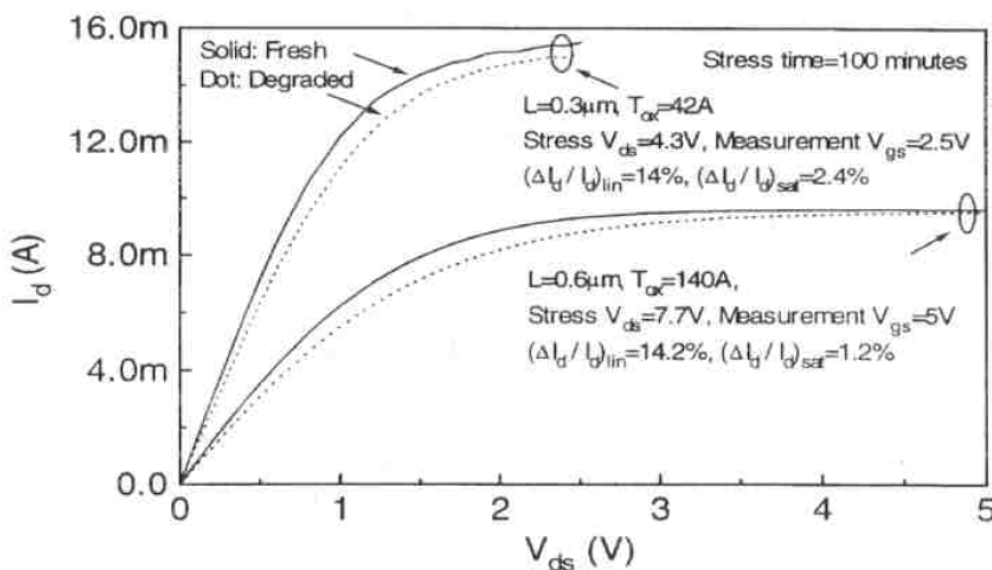
$$t_{Delay} = \frac{C_L}{I_D} \cdot \frac{V_{dd}}{2} = \frac{C_L \cdot V_{dd}}{\mu \cdot C_{ox} \cdot \frac{W}{L} \cdot (V_{dd} - V_{th})^2}$$



5.2. Kurzkanaleffekte: Heiße Ladungsträger

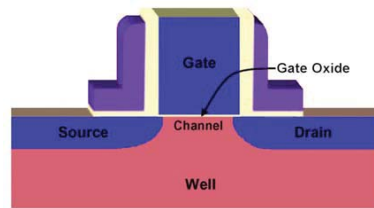
Bei $E > 10^4$ V/cm „Heisse Elektronen“

- Tunneln in Gateoxid, Source-Drain-Tunneln
- Leckströme, V_{th} reduziert, Stabilitätsprobleme

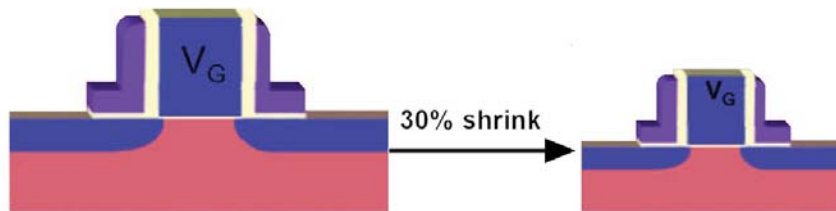


5.3. ULSI-Ausblick und Herausforderungen

Querschnitt durch einen n-Kanal-Transistor in twin-well CMOS-Technik

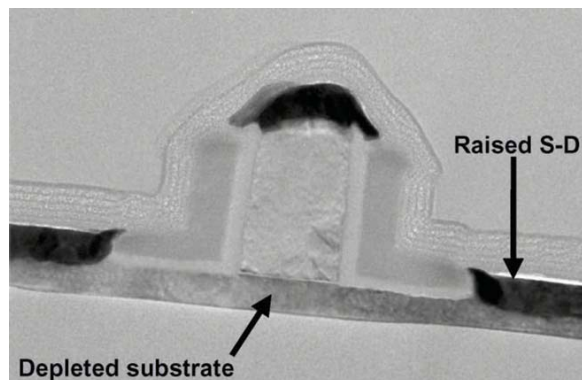
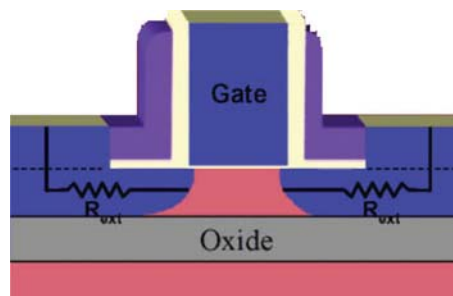


Verkleinerung der Strukturen



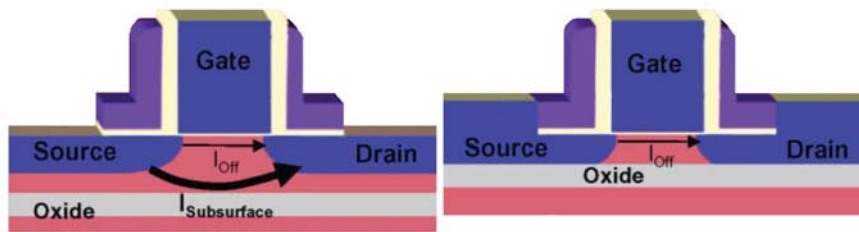
5.3. ULSI-Ausblick und Herausforderungen

Querschnitt durch einen n-Kanal SOI-Transistor



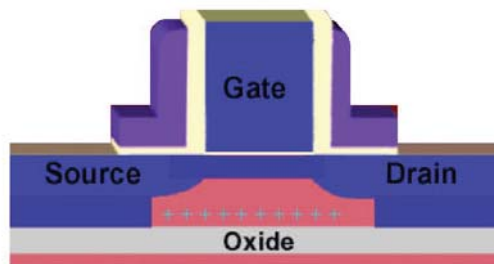
5.3. ULSI-Ausblick und Herausforderungen

Reduzierung der Tiefe des aktiven Bereichs

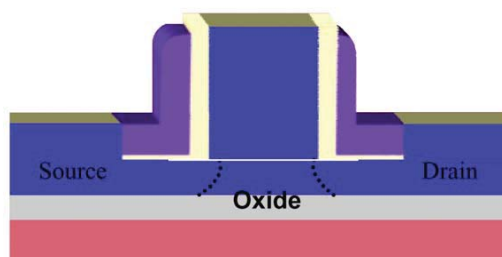


5.3. ULSI-Ausblick und Herausforderungen

"Body"- Effekt bei Standard SOI - Technik

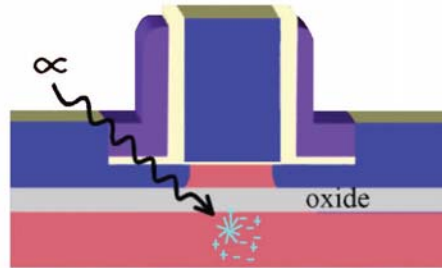


Kein "Body"- Effekt bei verbesserter SOI - Technik

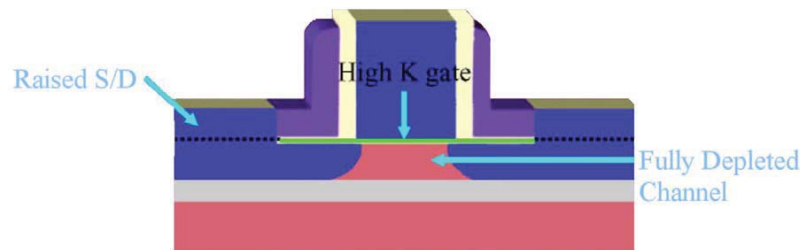


5.3. ULSI-Ausblick und Herausforderungen

Reduzierung der Fehler durch α -Teilchen-Beschuss

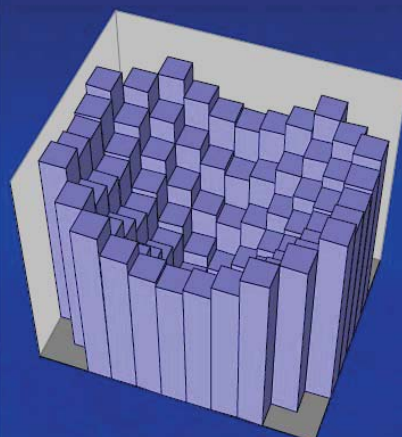


Weitere Verbesserung durch dickeres Gateoxid mit höherem ϵ_r



5.3. ULSI-Ausblick und Herausforderungen

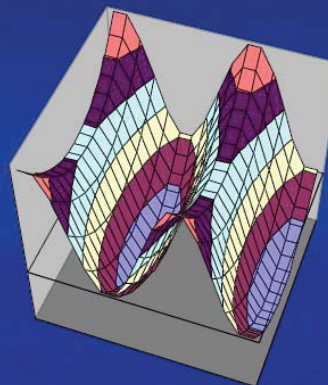
Die-to-Die Fluctuations



Resist Thickness

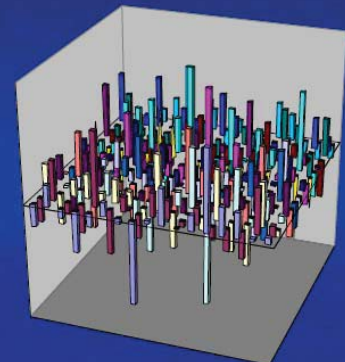
Within-Die Fluctuations

Systematic



Lens Aberrations

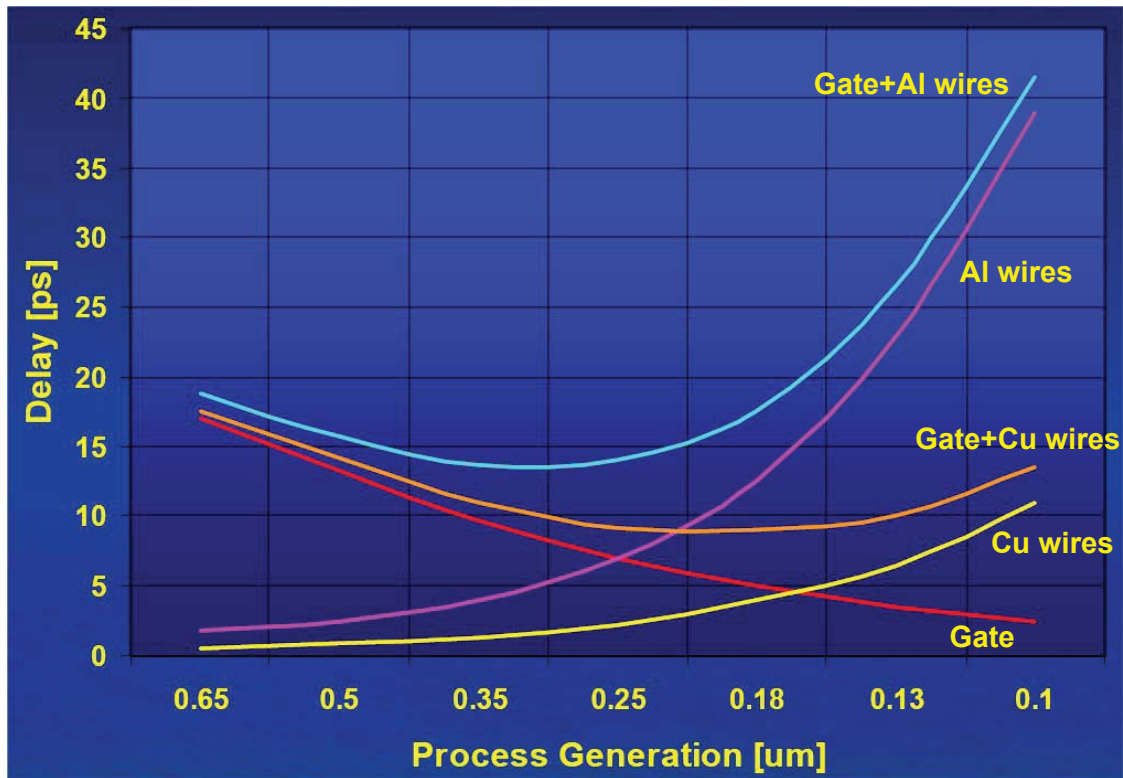
Random



Random Placement
of Dopant Atoms



5.3. ULSI-Ausblick und Herausforderungen



5.3. ULSI-Ausblick und Herausforderungen

Verlustleistung eines 15 mmx15mm Prozessors

